

Requested Patent: JP8314991A

Title:

SIZING APPARATUS FOR ACTIVE DEVICES OF INTEGRATED CIRCUITS AND
SIZING METHOD THEREFOR ;

Abstracted Patent: US5764531 ;

Publication Date: 1998-06-09 ;

Inventor(s): KOJIMA NAOHITO (JP); YAMADA MASAOKI (JP) ;

Applicant(s): TOKYO SHIBAURA ELECTRIC CO (JP) ;

Application Number: US19960616991 19960314 ;

Priority Number(s): JP19950054563 19950314; JP19960007744 19960119 ;

IPC Classification: G06F17/50 ;

Equivalents: JP3245036B2 ;

ABSTRACT:

A sizing apparatus for active devices of an integrated circuit has a storage unit for storing information about connections between the active devices and a delay constraint, a size initializing unit for initializing a size of the active device to a minimum value, an electric current consumption change rate arithmetic unit for calculating a change rate of an electric current or power consumption when the size is increased, a delay calculating unit for calculating a maximum signal delay by analyzing a timing on the basis of the connecting formation, a delay constraint judging unit for judging whether or not a maximum signal delay satisfies the delay constraint, a critical path extracting unit for extracting a critical path from paths that do not satisfy the delay constraint, a delay improvement arithmetic unit for calculating an improvement rate of the signal delay of the critical path with respect to a variation quantity of the electric current or power consumption when increasing the size of the active device, a selecting unit for selecting the active device having the maximum improvement rate and a control unit for selecting a minimum change rate of the electric current or power consumption and making the delay calculating unit calculate a signal delay when increasing the size of the active device in accordance with the selected change rate.

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-314991

(43)公開日 平成8年(1996)11月29日

(51)Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

G 0 6 F 17/50

G 0 6 F 15/60

6 5 6 D

審査請求 未請求 請求項の数11 O L (全 14 頁)

(21)出願番号 特願平8-7744

(22)出願日 平成8年(1996)1月19日

(31)優先権主張番号 特願平7-54563

(32)優先日 平7(1995)3月14日

(33)優先権主張国 日本 (J P)

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 小 島 直 仁

神奈川県川崎市幸区堀川町580番1号 株

式会社東芝半導体システム技術センター内

(72)発明者 山 田 正 昭

神奈川県川崎市幸区堀川町580番1号 株

式会社東芝半導体システム技術センター内

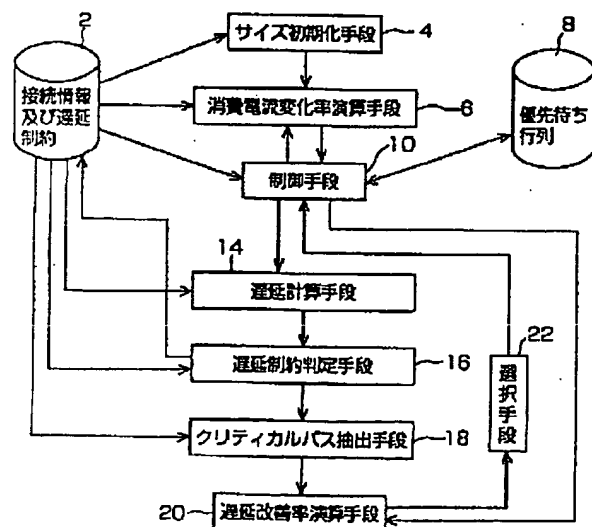
(74)代理人 弁理士 佐藤 一雄 (外3名)

(54)【発明の名称】 集積回路の能動素子サイジング装置およびサイジング方法

(57)【要約】

【目的】 信号遅延制約を満し、かつ消費電流を可及的に小さくすることを可能にする。

【構成】 制約手段10は、消費電流の変化率が最小のものを選出し、この選出した変化率が零以下の場合是对応する能動素子のサイズを増加させたときの消費電流の変化率を消費電流変化率演算手段6に演算させ、選出した変化率が零を超えた場合は各バスの信号遅延を遅延計算手段14に演算させ、クリティカルバスが存在する場合は遅延改善率を遅延改善率演算手段20に演算させかつ選択手段22によって選択された能動素子のサイズを増加させたときの信号遅延を遅延計算手段14に計算させる。



【特許請求の範囲】

【請求項1】集積回路を構成する能動素子およびこれらの能動素子間の接続情報ならびに遅延制約を記憶する記憶手段と、

前記能動素子のサイズを最小値に初期化するサイズ初期化手段と、

前記能動素子の前記サイズを増加させたときの前記集積回路の消費電流の変化率を演算する消費電流変化率演算手段と、

制御手段と、

前記接続情報に基づいてタイミング解析を行い各最終段の能動素子に至る最大の信号遅延を計算する遅延計算手段と、

前記遅延計算手段によって計算された最終段の能動素子に至る最大の信号遅延が前記遅延制約を満たしているかどうかを判定する遅延制約判定手段と、

前記遅延制約を満たさないパスの中からクリティカルパスを抽出するクリティカルパス抽出手段と、

前記クリティカルパス上の各能動素子について能動素子のサイズを増加させた際の前記集積回路の消費電流の変化量に対する前記クリティカルパスの信号遅延の改善率を演算する遅延改善率演算手段と、

前記改善率が最大な能動素子を選択する選択手段と、
を備え、前記制御手段は前記消費電流の変化率が最小のものを選出し、この選出した変化率が零以下の場合是对応する能動素子のサイズを増加させたときの消費電流の変化率を前記消費電流変化率演算手段に演算させ、前記選出した変化率が零を超えた場合は各パスの信号遅延を遅延計算手段に計算させ、クリティカルパスが存在する場合は遅延改善率を前記遅延改善率演算手段に演算させかつ前記選択手段によって選択された能動素子のサイズを増加させたときの信号遅延を遅延計算手段に計算させることを特徴とする集積回路の能動素子サイジング装置。

【請求項2】前記消費電流は全ての能動素子の充放電電流と貫通電流の和であることを特徴とする請求項1記載の能動素子サイジング装置。

【請求項3】集積回路の消費電流を最小にするように前記集積回路を構成する能動素子のサイズを設定する第1のステップと、

パスの信号遅延を計算し、遅延制約を満たさないパスが存在するかどうかを判定し、存在しない場合はサイジング処理を終了する第2のステップと、

遅延制約を満たさない度合が最大のパスであるクリティカルパスを抽出する第3のステップと、

前記クリティカルパス上で前記能動素子のサイズを増加させたときの消費電流の変化に対する信号遅延の改善率が最大の能動素子を選択する第4のステップと、

前記選択された能動素子のサイズを増加させて前記第2のステップを実行する第5のステップと、

を備えていることを特徴とする集積回路の能動素子サイジング方法。

【請求項4】前記第1のステップは、

a) 全ての前記能動素子のサイズを最小値に設定するステップと、

b) 前記能動素子の各々についてサイズを増加させたときの前記集積回路の消費電流の変化率を演算するステップと、

c) 全ての前記能動素子に関する前記変化率のデータ中から値が最小である能動素子を選択するステップと、

d) 前記選択された能動素子に関する消費電流の前記変化率が零以下である場合は前記選択された能動素子のサイズを増加させたときの消費電流の変化率を演算してステップcを実行し、前記変化率が零を超えている場合は前記第1のステップの処理を終了するステップと、

を備えていることを特徴とする請求項3記載の能動素子サイジング方法。

【請求項5】前記消費電流は全ての能動素子の充放電電流と貫通電流の和であることを特徴とする請求項3または4記載のサイジング方法。

【請求項6】集積回路を構成する能動素子およびこれらの能動素子間の接続情報ならびに遅延制約を記憶する記憶手段と、

前記能動素子のサイズを最小値に初期化するサイズ初期化手段と、

前記能動素子の前記サイズを増加させたときの前記集積回路の消費電力の変化率を演算する消費電力変化率演算手段と、

制御手段と、

前記接続情報に基づいてタイミング解析を行い各最終段の能動素子に至る最大の信号遅延を計算する遅延計算手段と、

前記遅延計算手段によって計算された最終段の能動素子に至る最大の信号遅延が前記遅延制約を満たしているかどうかを判定する遅延制約手段と、

前記遅延制約を満たさないパスの中からクリティカルパスを抽出するクリティカルパス抽出手段と、

前記クリティカルパス上の各能動素子について能動素子のサイズを増加させた際の前記集積回路の消費電力の変化量に対する前記クリティカルパスの信号遅延の改善率を演算する遅延改善率演算手段と、

前記改善率が最大な能動素子を選択する選択手段と、

を備え、前記制御手段は前記消費電力の変化率が最小のものを選出し、この選出した変化率が零以下の場合是对応する能動素子のサイズを増加させたときの消費電力の変化率を前記消費電力変化率演算手段に演算させ、前記選出した変化率が零を超えた場合は各パスの信号遅延を遅延計算手段に計算させ、クリティカルパスが存在する場合は遅延改善率を前記遅延改善率演算手段に演算させかつ前記選択手段によって選択された能動素子のサイズ

を増加させたときの信号遅延を遅延計算手段に計算させることを特徴とする集積回路の能動素子サイジング装置。

【請求項7】前記消費電力は、各能動素子を流れる充放電電流および貫通電流の和と、駆動電圧と動作周波数とスイッチング確率の積の総和の半分であることを特徴とする請求項6記載の能動素子サイジング装置。

【請求項8】集積回路の消費電力を最小にするように前記集積回路を構成する能動素子のサイズを設定する第1のステップと、

10 バスの信号遅延を計算し、遅延制約を満たさないバスが存在するかどうかを判定し、存在しない場合はサイジング処理を終了する第2のステップと、

遅延制約を満たさない度合が最大のバスであるクリティカルバスを抽出する第3のステップと、

前記クリティカルバス上で前記能動素子のサイズを増加させたときの消費電力の変化に対する信号遅延の改善率が最大の能動素子を選択する第4のステップと、

前記選択された能動素子のサイズを増加させて前記第2のステップを実行する第5のステップと、
20 を備えていることを特徴とする集積回路の能動素子サイジング方法。

【請求項9】前記第1のステップは、

a) 全ての前記能動素子のサイズを最小値に設定するステップと、

b) 前記能動素子の各々についてサイズを増加させたときの前記集積回路の消費電力の変化率を演算するステップと、

c) 全ての前記能動素子に関する前記変化率のデータ中から値が最小である能動素子を選択するステップと、
30

d) 前記選択された能動素子に関する消費電力の前記変化率が零以下である場合は前記選択された能動素子のサイズを増加させたときの消費電力の変化率を演算してステップcを実行し、前記変化率が零を超えている場合は前記第1のステップの処理を終了するステップと、
を備えていることを特徴とする請求項8記載の能動素子サイジング方法。

【請求項10】前記消費電力は、各能動素子を流れる電流と駆動電圧と動作周波数とスイッチング確率の積の総和の半分であることを特徴とする請求項8または9記載の能動素子サイジング方法。
40

【請求項11】前記消費電力は、各能動素子を流れる充放電電流および貫通電流の和と、駆動電圧と、動作周波数と、スイッチング確率の積の総和の半分であることを特徴とする請求項8または9記載の能動素子サイジング方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は所定の制約の下で集積回路内の能動素子、特にMIS (Metal Insulation Semic
50

ductor) トランジスタのサイズを最適なものに設計する集積回路の能動素子サイジング装置およびサイジング方法に関する。

【0002】

【従来の技術】従来、半導体集積回路内のトランジスタのサイズ(MOSトランジスタの場合はゲート幅、バイポーラトランジスタの場合はエミッタの大きさ)は、集積回路の全バスが信号遅延制約を満たさなければならないという条件の下で、トランジスタのサイズの合計値が最小となるように決定していた(米国特許第4, 827, 428号明細書参照)。

【0003】このような従来のトランジスタサイジング装置の動作を図6および図7を参照して説明する。

【0004】今、能動素子とこれらの能動素子間の接続が決定された集積回路を考え、この集積回路を模式的に示した例を図7に示す。図7において符号51は入力端子を、符号61~69はトランジスタを、符号71~83は配線路を、符号91, 92は出力端子を示している。このときトランジスタ61~69のサイズは未だ決定
20 されていない。配線路71、トランジスタ61、配線路72、トランジスタ62、配線路73、トランジスタ63、配線路74、トランジスタ64および配線路75は1つのバス例えばバスAであり、配線路76、トランジスタ65、配線路77、トランジスタ66、および配線路78も他の1つのバス、例えばバスBである。そしてこれらの各バスに対して信号遅延制約が予め与えられているものとする。

【0005】このような状況においてまず集積回路の全てのトランジスタのサイズを最小値に設定する(図6のステップF41参照)。なおこの最小値は集積回路の製造プロセスから決定される値である。

【0006】次に、与えられた信号遅延制約を満たさない度合が最も大きいバス(以下、このバスをクリティカルバスと呼ぶ)をひとつ抽出する(ステップF43参照)。例えばバスAの信号遅延が11nsで制約が8nsであり、バスBの信号遅延が10nsで制約が6nsであるとする、絶対的な信号遅延はバスAの方が大きい、制約との差を考えると、バスAが3ns、バスBが4nsとなり、バスBの方が信号遅延と制約との差が大きい。このように、実際の信号遅延と制約との差が大きいバスを信号遅延制約を満たさない度合が大きいバスとし、ステップF43ではそれが最大のバス、すなわちクリティカルバスをひとつ取り出す。

【0007】クリティカルバス上の各トランジスタiについて、幅を微小量 ΔW 大きくしたと仮定した時の、信号遅延時間の改善量 ΔT_i を解析し、 $\Delta T_i / \Delta W$ が最大のトランジスタを抽出する(ステップF45参照)。

【0008】ステップF47では、ステップF45で抽出したトランジスタの幅を ΔW だけ大きくし、遅延を改善する。その後、遅延制約を満たさないバスが存在する

かどうかを解析し、そのようなパスが存在する場合にはステップF 4 3に戻り上述のステップを繰り返し、存在しない場合には全てのパスが遅延制約を満たすものとみなし、トランジスタサイジング処理を終了する(ステップF 4 9参照)。

【0009】

【発明が解決しようとする課題】以上のように、信号遅延制約のもとでトランジスタサイズの合計の最小化を最優先の目的としていたため、信号遅延制約を課されない、または制約が非常に緩いパス上のトランジスタは設計上許される最小サイズとなった。これにより、トランジスタ自身の寄生容量が最小となるので、回路の充放電電流を小さく抑えることができた。従来のトランジスタサイジング装置は、回路の充放電電流が全消費電流のほとんどを占めるものと仮定していたため、トランジスタサイズの合計の最小化を目的関数とすることで、間接的に回路の消費電流を小さくすることを狙っていた。

【0010】しかし、高速動作をする電子回路の消費電流を構成する要素として、充放電電流と並んで貫通電流が無視できない存在となっている。

【0011】電子回路の入出力信号は理想的なステップ信号ではなく、立ち上がりや立ち下がりに微小な時間(τ)を必要とする、電圧電圧をAとし、横軸に時間、縦軸に電圧をとって、時間と入力信号の関係を一次近似したグラフ(図8参照)における、電圧の立ち上がりの割合は A/τ で表され、これをスリューレート(Slew Rate)と呼ぶ。一方、 τ はスリュー時間(Slewing Period)と呼ばれる。貫通電流はスリュー時間の存在により発生する。近年の回路のクロック周期の短縮により、クロック周期に対するスリュー時間の割合が無視できないものとなっている。

【0012】また、あるトランジスタが、駆動すべき容量の大きさに比較して著しくサイズが小さい場合、次段を駆動する能力が不足し、スリュー時間が大きくなり、貫通電流量が増大する。従来のトランジスタサイジング装置を用いた場合は、トランジスタサイズは信号遅延を満足する最小限のサイズになるが、スリュー時間と貫通電流を考慮せずにサイジングを行っているので、トランジスタサイズを小さくしても電力消費は最小にならない、という不具合が発生する。

【0013】また今後設計される集積回路は、電池で駆動される携帯型電子機器に搭載されることを考え、低消費電力化が最優先の条件となっており、トランジスタサイズの合計の最小化は優先度が落ちる。従って従来のトランジスタサイジング装置によってサイジングされた電子回路を電池で駆動される携帯型電子機器へ搭載することは不適當であると考えられ、消費電力の最小化を最優先の目的とするトランジスタサイジング装置が早急に求められている。

【0014】本発明は上記事情を考慮してなされたもの

であって、信号遅延制約を満足させかつ消費電力を可及的に小さくすることのできる集積回路の能動素子サイジング装置およびサイジング方法を提供することを目的とする。

【0015】

【課題を解決するための手段】本発明による集積回路の能動素子サイジング装置の第1の態様は、集積回路を構成する能動素子およびこれらの能動素子間の接続情報ならびに遅延制約を記憶する記憶手段と、前記能動素子のサイズを最小値に初期化するサイズ初期化手段と、前記能動素子の前記サイズを増加させたときの前記集積回路の消費電流の変化率を演算する消費電流変化率演算手段と、制御手段と、前記接続情報に基づいてタイミング解析を行い各最終段の能動素子に至る最大の信号遅延を計算する遅延計算手段と、前記遅延計算手段によって計算された最終段の能動素子に至る最大の信号遅延が前記遅延制約を満たしているかどうかを判定する遅延制約判定手段と、前記遅延制約を満たさないパスの中からクリティカルパスを抽出するクリティカルパス抽出手段と、前記クリティカルパス上の各能動素子について能動素子のサイズを増加させた際の前記集積回路の消費電流の変化率に対する前記クリティカルパスの信号遅延の改善率を演算する遅延改善率演算手段と、前記改善率が最大な能動素子を選択する選択手段と、を備え、前記制御手段は前記消費電流の変化率が最小のものを選出し、この選出した変化率が零以下の場合に対応する能動素子のサイズを増加させたとき消費電流の変化率を前記消費電流変化率演算手段に演算させ、前記選出した変化率が零を超えた場合は各パスの信号遅延を遅延計算手段に演算させ、クリティカルパスが存在する場合は遅延改善率を前記遅延改善率演算手段に演算させかつ前記選択手段によって選択された能動素子のサイズを増加させたときの信号遅延を遅延計算手段に計算させることを特徴とする。

【0016】また本発明による集積回路の能動素子サイジング方法の第1の態様は、集積回路の消費電流を最小にするように前記集積回路を構成する能動素子のサイズを設定する第1のステップと、パスの信号遅延を計算し、遅延制約を満たさないパスが存在するかどうかを判定し、存在しない場合はサイジング処理を終了する第2のステップと、遅延制約を満たさない度合が最大のパスであるクリティカルパスを抽出する第3のステップと、前記クリティカルパス上で前記能動素子のサイズを増加させたときの消費電流の変化に対する信号遅延の改善率が最大の能動素子を選択する第4のステップと、前記選択された能動素子のサイズを増加させて前記第2のステップを実行する第5のステップと、を備えていることを特徴とする。

【0017】また本発明による集積回路の能動素子サイジング方法の第2の態様は第1の態様の方法において、前記第1のステップは、

- a) 全ての前記能動素子のサイズを最小値に設定するステップと、
- b) 前記能動素子の各々についてサイズを増加させたときの前記集積回路の消費電流の変化率を演算するステップと、
- c) 全ての前記能動素子に関する前記変化率のデータ中から値が最小である能動素子を選択するステップと、
- d) 前記選択された能動素子に関する消費電流の前記変化率が零以下である場合は前記選択された能動素子のサイズを増加させたときの消費電流の変化率を演算して

ステップcを実行し、前記変化率が零を超えている場合は前記第1のステップの処理を終了するステップと、を備えていることを特徴とする。

【0018】また本発明による集積回路の能動素子サイジング装置の第2の態様は、集積回路を構成する能動素子およびこれらの能動素子間の接続情報ならびに遅延制約を記憶する記憶手段と、前記能動素子のサイズを最小値に初期化するサイズ初期化手段と、前記能動素子の前記サイズを増加させたときの前記集積回路の消費電力の変化率を演算する消費電力変化率演算手段と、制御手段と、前記接続情報に基づいてタイミング解析を行い各最終段の能動素子に至る最大の信号遅延を計算する遅延計算手段と、前記遅延計算手段によって計算された最終段の能動素子に至る最大の信号遅延が前記遅延制約を満たしているかどうかを判定する遅延制約手段と、前記遅延制約を満たさないバスの中からクリティカルバスを抽出するクリティカルバス抽出手段と、前記クリティカルバス上の各能動素子について能動素子のサイズを増加させた際の前記集積回路の消費電力の変化量に対する前記クリティカルバスの信号遅延の改善率を演算する遅延改善率演算手段と、前記改善率が最大な能動素子を選択する

選択手段と、を備え、前記制御手段は前記消費電力の変化率が最小のものを選出し、この選出した変化率が零以下の場合には対応する能動素子のサイズを増加させたときの消費電力の変化率を前記消費電力変化率演算手段に演算させ、前記選出した変化率が零を超えた場合は各バスの信号遅延を遅延計算手段に計算させ、クリティカルバスが存在する場合は遅延改善率を前記遅延改善率演算手段に演算させかつ前記選択手段によって選択された能動素子のサイズを増加させたときの信号遅延を遅延計算手段に計算させることを特徴とする。

【0019】また本発明による集積回路の能動素子サイジング方法の第3の態様は、集積回路の消費電力を最小にするように前記集積回路を構成する能動素子のサイズを設定する第1のステップと、バスの信号遅延を計算し、遅延制約を満たさないバスが存在するかどうかを判定し、存在しない場合はサイジング処理を終了する第2のステップと、遅延制約を満たさない度合いが最大のバスであるクリティカルバスを抽出する第3のステップと、前記クリティカルバス上で前記能動素子のサイズを増加

させたときの消費電力の変化に対する信号遅延の改善率が最大の能動素子を選択する第4のステップと、前記選択された能動素子のサイズを増加させて前記第2のステップを実行する第5のステップと、を備えていることを特徴とする。

【0020】また本発明による集積回路の能動素子サイジング方法の第4の態様は、第3の態様の方法において、前記第1のステップは、

- a) 全ての前記能動素子のサイズを最小値に設定するステップと、
 - b) 前記能動素子の各々についてサイズを増加させたときの前記集積回路の消費電力の変化率を演算するステップと、
 - c) 全ての前記能動素子に関する前記変化率のデータ中から値が最小である能動素子を選択するステップと、
 - d) 前記選択された能動素子に関する消費電力の前記変化率が零以下である場合は前記選択された能動素子のサイズを増加させたときの消費電流の変化率を演算して
- ステップcを実行し、前記変化率が零を超えている場合は前記第1のステップの処理を終了するステップと、を備えていることを特徴とする。

【0021】

【発明の実施の形態】本発明による集積回路の能動素子サイジング装置（以下、サイジング装置ともいう）の第1の実施形態の構成を図1に示す。この実施形態のサイジング装置は、接続情報及び遅延制約記憶手段2と、サイズ初期化手段4と、消費電流変化率演算手段6と、優先待ち行列管理手段8と、制御手段10と、遅延計算手段14と、遅延制約判定手段16と、クリティカルバス抽出手段18と、遅延改善率演算手段20と、選択手段22とを備えている。

【0022】接続情報及び遅延制約記憶手段（以下、記憶手段ともいう）2は集積回路を構成する能動素子およびこれらの能動素子間の接続情報ならびに遅延制約を記憶する。サイズ初期化手段4は、上記集積回路を構成する能動素子であるトランジスタのサイズ（例えばMOSトランジスタの場合はゲート幅、バイポーラトランジスタの場合はエミッタの大きさ）を最小値に設定する。この最小値は従来のサイジング装置と同様に製造プロセスによって決定される値である。消費電流変化率演算手段（以下、演算手段ともいう）6は各トランジスタにおいて、トランジスタのゲート幅 W を微小量 ΔW 増加させたときの集積回路の消費電流 I の変化率 $\Delta I / \Delta W$ を求める。

【0023】優先待ち行列管理手段8は消費電流の変化率 $\Delta I / \Delta W$ がキー（key）で、トランジスタの個別情報（名称、およびサイズ）がデータ（Data）となるペア（組み合わせ）の集合を管理するものであって、キーの値が最小のペアを優先的に取り出し、キーの値が同じ場合には先に受入れたペア先に取り出す。制御手段10は演

算手段6によって演算された消費電流の変化率とトランジスタの個別情報を優先待ち行列管理手段8に送って管理させるとともに優先待ち行列管理手段8から取り出したバスのトランジスタに関する消費電流の変化率が零以下かどうかを判定し、零以下の場合は上記トランジスタのサイズを微小量 ΔW 増加させる。このとき上記トランジスタおよびその周辺のトランジスタに係わる消費電流の変化率 $\Delta I / \Delta W$ が変動するので、変動した分の消費電流の変化率 $\Delta I / \Delta W$ を演算手段6によって演算させ、対応するトランジスタの待ち行列のキーを演算した

変化率 $\Delta I / \Delta W$ に置換えて優先待ち行列管理手段8に送出する。また消費電流の変化率が正の場合は、各バスの信号遅延を遅延計算手段14に計算させる。

【0024】遅延計算手段14はタイミング解析を行い、各最終段のトランジスタに至る最大の信号遅延を計算する。遅延制約判定手段16は計算された最終段のトランジスタに至る最大の信号遅延が記憶手段2に記憶されている遅延制約を満たすかどうかを判定し、満たす場合はサイジング処理を終了する。このときのトランジスタの現在のサイズは遅延制約を満足し、かつ消費電流が

可及的に小さい最適なサイズとなる。

【0025】クリティカルバス抽出手段18は遅延制約を満たさない度合（＝信号遅延－遅延制約）が最大のバス（クリティカルバス）を抽出する。遅延改善率演算手段20は、クリティカルバス上の各トランジスタについて、各トランジスタのサイズを微小量 ΔW 増加させたときの半導体集積回路の消費電流の変化量 ΔI および信号遅延の改善量 $\Delta \tau$ を求めて、消費電流の変化量に対する信号遅延の改善率 $\Delta \tau / \Delta I$ を演算する。選択手段22は上記クリティカルバス上で改善率 $\Delta \tau / \Delta I$ が最大なトランジスタを選択し、制御手段10に送出する。すると制御手段10はクリティカルバス上で改善率が最大なトランジスタのサイズを微小量 ΔW 増加させ、ふたたび*

$$R_N = R_{pN} + R_{nN} = \alpha / W_{pN} + \beta / W_{nN}, \quad C_N \propto W_N, \quad C_{gN} \propto W_N$$

次に、あるバスの信号遅延を求める手法を示す。あるバスの信号遅延は、バス上の各トランジスタを駆動する際の遅延の総和で表される。

τ_N : N段めのインバータによる信号遅延（出力電圧の立ち上がり／立ち下がり時間の1/2）。

V_{TDP} : p型トランジスタのしきい値電圧

V_{TnN} : n型トランジスタのしきい値電圧

インバータがONする確率と、OFFする確率がともに1/2であるものとし、ONする時の信号遅延を τ_p 、OFFする時の信号遅延を τ_n とすると、 τ_N は τ_{pN} および τ_{nN} の平均となる。

【0029】そこで、以上のような定義をした上で、N. Hedenstierna, K.O. Jeppson, "CMOS Circuit Speed and Buffer Optimization," IEEE Trans. Computer-Aided Design, vol. CAD-6, pp. 270-281, Mar. 1987 をもとにN-

*遅延計算手段14に上記クリティカルバスの信号遅延を計算させる。このとき上記トランジスタとその周辺のトランジスタの消費電流は増加する。

【0026】なお上記実施の形態のサイジング装置の動作を説明する前に、トランジスタのサイズWから集積回路の消費電流と信号遅延を求める手法を図3を参照して説明する。

【0027】図3(a)は、ある回路内のインバータチェーンの入力から数えてN-1段めからN+1段めまでを表した図であり、図3(b)は図3(a)におけるトランジスタを抵抗と容量でモデル化したものである。ここで、入力からN段めのインバータについて、 W_N 、 R_N 、 C_N 、 C_{gN} 、 C_{vN} を以下のように定義する。

W_{pN} : インバータを構成するp型トランジスタ T_{pN} のサイズ

W_{nN} : インバータを構成するn型トランジスタ T_{nN} のサイズ

W_N : インバータを構成するトランジスタのサイズの和

R_{pN} : インバータを構成するp型トランジスタ T_{pN} の抵抗

R_{nN} : インバータを構成するn型トランジスタ T_{nN} の抵抗

R_N : インバータを構成するトランジスタの平均抵抗の和

C_N : インバータを構成するトランジスタのソース、ドレインの負荷容量の和

C_{gN} : インバータを構成するトランジスタのゲート負荷容量の和

C_{vN} : インバータの出力段に接続した配線容量

この時、 W_N と R_N 、 C_N 、 C_{gN} の間には以下の関係が成り立つ（ α 、 β は比例定数）。

【0028】

【数1】

1段め以降のトランジスタ駆動時の遅延（ τ ）を各々求めると、以下ようになる。

$$\tau_N = (\tau_{pN} + \tau_{nN}) / 2 \\ = (R_{pN} (C_N + C_{vN} + C_{gN+1}) + R_{nN} (C_N + C_{vN} + C_{gN+1})) / 2$$

以上により、N段めのトランジスタサイズを変化させた時の信号遅延の変化量が求められる。

【0030】次に、消費電流を求める。回路の消費電流が、充放電電流と貫通電流の和であるとする。そして充放電電流および貫通電流は各々トランジスタのスイッチング時に単位時間当たりに流れる充放電電荷量および貫通電荷量であるから、以下の計算においては、充放電電流は充放電電荷量、貫通電流は貫通電荷量であるものとし、これらを以下のように定義する。

I_{dN} : N段めのインバータ1回の充放電電流に対応する

充放電電荷量

I_{SCN} : N段めのインバータ1回の貫通電流に対応する貫通電荷量

*とすると、 I_{dN} 、 I_{SCN} は以下のように表される。

【0031】

* 【数2】

$$I_{dN} = V_{dd} (C_N + C_{gN+1} + C_{wN})$$

$$I_{SCN} = (\text{平均貫通電流量}) \times (\text{p型 n型両トランジスタが同時にONする時間})$$

$$= \left(\frac{V_{dd}}{R_N} \right) \times \left(2\tau_{N-1} \left(\frac{V_{THp}}{V_{dd}} - \frac{V_{THn}}{V_{dd}} \right) \right)$$

$$= (V_{THp} - V_{THn}) \frac{2\tau_{N-1}}{R_N}$$

ここでVddは電源電圧を示す。

【0032】以上説明したことにより、N段めのトランジスタサイズを変化させた時の消費電流の変化量が求められる。

【0033】次に上記実施の形態のサイジング装置の動作を図2を参照して説明する。まず、集積回路の全てのトランジスタをサイズ初期化手段4によって最小サイズに設定する(ステップF2参照)。続いて消費電流変化率演算手段6によって集積回路の各トランジスタのサイズWの変化量 ΔW に関する集積回路の消費電流の変化率を演算し(ステップF4参照)、この値を制御手段10に送る。すると制御手段10は上記変化率とこの変化率に対応するトランジスタの個別情報をペアとして優先待ち行列管理手段8に送り管理させる(ステップF6参照)。優先待ち行列管理手段8は管理しているペアを消費電流の変化率の最も小さいものが容易に取り出せるように保持する。そしてこのように管理されたペアの中から変化率が一番小さなペアが優先待ち行列管理手段8から制御手段10に送られる(ステップF6参照)。

【0034】するとこの送られたペアのキーである消費電流の変化率 $\Delta I / \Delta W$ が零以下であるかどうかで制御手段10によって判定される(ステップF8参照)。そして零以下である場合は、対応するトランジスタのサイズが制御手段10によって微小量 ΔW 増加され(ステップF9参照)、更に記憶手段2に記憶されている接続情報に基づいて上記トランジスタのサイズを動かしたことによる上記トランジスタ周辺のトランジスタについての集積回路の消費電流の新たな変化率 $\Delta I / \Delta W$ を制御手段10が消費電流変化率演算手段6に演算させ、これらの演算した値を対応するトランジスタのペアのキーである変化率と置換える(ステップF10参照)。その後、この優先待ち行列管理手段8から変化率が最小のペアが制御手段10に送られて上述のステップF6、F8が実行される。このようにすることにより消費電流の変化率が零以下であるものがなくなる。ステップF8において

消費電流の変化率 $\Delta I / \Delta W$ が正である場合にはステップF12に進む。

【0035】ステップF12においては、各最終段のトランジスタに至る最大の信号遅延が遅延計算手段14によって計算される。続いて遅延制約判定手段16によって遅延制約を満たさない、すなわち信号遅延が遅延制約より小さいという条件を満たさないパスが存在するかどうか判定される(ステップF14参照)。そして遅延制約を満たさないパスが存在する場合は、遅延制約を満たさない度合いが最大のパス、すなわちクリティカルパスがクリティカルパス抽出手段18によって抽出される。続いて、この抽出されたクリティカルパス上の各トランジスタについてそのサイズを微小量増加させた場合の上記パスの遅延改善率、すなわち上記パスの消費電流の変化量に対する上記パスの信号遅延の改善量の割合が遅延改善率演算手段20によって求められる(ステップF18参照)。そして、遅延改善率が最大のトランジスタが選択手段22によって選択される。すると制御手段10によってこの選択されたトランジスタのサイズを微小量 ΔW 増加させ(ステップF18参照)、その後ステップF12に戻り再度、遅延計算手段14に信号遅延を計算させる。このとき上記抽出されたクリティカルパスの消費電流は微小量増加するが、信号遅延は改善されることになる。以後ステップF14、F16、F18、F12を繰り返す。そしてステップF14において、遅延制約を満たさないパスが存在しなくなった場合にサイジング処理を終了する。

【0036】以上説明したように本実施の形態によれば、まず最初に消費電流が最小になるようなトランジスタサイズの組合せを実現しておき、その後、消費電流の増加が最小になるようにトランジスタサイジングをして遅延制約条件を満足させるようにしているため、トランジスタのサイズは遅延制約を満足しかつ消費電流が最小限となる最適なサイズとなっている。これにより集積回路内の各トランジスタの駆動電圧及び各ノードのスイッ

チング確率（集積回路に入力するクロック信号の1周期に対してノード電圧遷移の起こる頻度）が全て等しいという仮定の下では消費電流も最小となる。

【0037】以上述べたような方法で設計された集積回路は以下のような特徴を持つ。すなわち、入力端子と出力端子と能動素子を備えた集積回路であって、能動素子のいくつかは設計ルールで指定される最小サイズより大きく、最小サイズより大きな能動素子のいずれかのサイズを小さくすると、（1）1つの入力端子から複数の能動素子を順次通って1つの出力端子に至る経路を通過する信号遅延が指定された最大遅延レベルを超えてしまうか、あるいは（2）回路全体の消費電流が増大してしまうように構成されている。

【0038】次に本発明によるサイジング装置の第2の実施の形態の構成を図4に示す。この実施の形態のサイジング装置は、図1に示す第1の実施の形態のサイジング装置において、消費電流変化率演算手段6、優先待ち行列管理手段8、制御手段10、遅延改善率演算手段21、および選択手段23の代わりに消費電力変化率演算手段7、優先待ち行列管理手段9、制御手段11、遅延改善率演算手段21、および選択手段23を設けたものである。

【0039】消費電力変化率演算手段（以下、演算手段ともいう）7は各トランジスタにおいて、トランジスタのゲート幅Wを微小量 ΔW 増加させたときの集積回路の消費電力Pの変化率 $\Delta P/\Delta W$ を求める。

【0040】優先待ち行列管理手段9は消費電力の変化率 $\Delta P/\Delta W$ がキー（key）で、トランジスタの個別情報（名称、およびサイズ）がデータ（Data）となるペア（組み合わせ）の集合を管理するものであって、キーの値が最小のペアを優先的に取り出し、キーの値が同じ場合には先に受入れたペア先に取り出す。制御手段11は演算手段7によって演算された消費電力の変化率とトランジスタの個別の個別情報を優先待ち行列管理手段9に送って管理させるとともに優先待ち行列管理手段9から取り出したペアのトランジスタに関する消費電力の変化率が零以下かどうかを判定し、零以下の場合は上記トランジスタのサイズを微小量 ΔW 増加させる。このとき上記トランジスタおよびその周辺のトランジスタに係わる消費電力の変化率 $\Delta P/\Delta W$ が変動するので、変動した分の消費電力の変化率 $\Delta P/\Delta W$ を演算手段7によって演算させ、対応するトランジスタの待ち行列のキーを、演算した変化率 $\Delta P/\Delta W$ に置換えて優先待ち行列管理手段9に送出する。また消費電力の変化率が正の場合は、各バスの信号遅延を遅延計算手段14に計算させる。

【0041】遅延改善率演算手段20は、クリティカルパス上の各トランジスタについて、各トランジスタのサイズを微小量 ΔW 増加させたときの集積回路の消費電力の変化量 ΔP および信号遅延の改善量 $\Delta \tau$ を求めて、消費電力の変化量に対する信号遅延の改善率 $\Delta \tau/\Delta P$ を

演算する。選択手段22は上記クリティカルパス上で改善率 $\Delta \tau/\Delta P$ が最大なトランジスタを選択し、制御手段10に送出する。すると制御手段10はクリティカルパス上で改善率が最大なトランジスタのサイズを微小量 ΔW 増加させ、ふたたび遅延計算手段14に上記クリティカルパスの信号遅延を計算させる。このとき上記トランジスタとその周辺のトランジスタの消費電力は増加する。

【0042】次に本実施の形態のサイジング装置の動作を説明する前に、消費電力の変化量を求める手法を説明する。なお、トランジスタのサイズWから集積回路の信号遅延を求める方法は第1の実施の形態で説明した手法を用いて行う。N段目のトランジスタのサイズを変化させたときの消費電力の変化量 ΔP_N を求めるには、まずN段目のトランジスタの消費電流の変化量 ΔI_N を求める。このときの上記トランジスタの駆動電圧を V_N 、集積回路の動作周波数をf、上記トランジスタによって駆動されるノードのスイッチング確率をpとすると、消費電力の変化量 ΔP_N は

$$\Delta P_N = \Delta I_N \cdot V_N \cdot p \cdot f / 2$$

と表わされる。

【0043】次に本実施の形態のサイジング装置の動作を図5を参照して説明する。

【0044】まず、集積回路の全てのトランジスタをサイズ初期化手段4によって最小サイズに設定する（ステップF22参照）。続いて消費電力変化率演算手段7によって集積回路の各トランジスタのサイズWの変化量 ΔW に関する集積回路の消費電力の変化率を演算し（ステップF24参照）、この値を制御手段11に送る。すると制御手段11は上記変化率とこの変化率に対応するトランジスタの個別情報をペアとして優先待ち行列管理手段9に送り管理させる（ステップF26参照）。優先待ち行列管理手段9は管理しているペアを消費電流の変化率の最も小さいものが容易に取り出せるように保持する。そしてこのように管理されたペアの中から変化率が一番小さなペアが優先待ち行列管理手段9から制御手段11に送られる（ステップF26参照）。

【0045】するとこの送られたペアのキーである消費電力の変化率 $\Delta P/\Delta W$ が零以下であるかどうかを制御手段11によって判定される（ステップF28参照）。そして零以下である場合は、対応するトランジスタのサイズが制御手段11によって微小量 ΔW 増加され（ステップF29参照）、更に記憶手段2に記憶されている接続情報に基づいて上記トランジスタのサイズを動かしたことによる上記トランジスタ周辺のトランジスタについての集積回路の消費電力の新たな変化率 $\Delta P/\Delta W$ を制御手段11が消費電力変化率演算手段7に演算させ、これらの演算した値を対応するトランジスタのペアのキーである変化率と置換える（ステップF30参照）。その後、この優先待ち行列管理手段9から変化率が最小のペ

アが制御手段11に送られて上述のステップF26、F28が実行される。このようにすることにより消費電力の変化率が零以下であるものなくなる。ステップF28において消費電力の変化率 $\Delta P/\Delta W$ が正である場合にはステップF32に進む。

【0046】ステップF32においては、各最終段のトランジスタに至る最大の信号遅延が遅延計算手段14によって計算される。続いて遅延制約判定手段16によって遅延制約を満たさない、すなわち信号遅延が遅延制約より小さいという条件を満たさないパスが存在するかどうか判定される（ステップF34参照）。そして遅延制約を満たさないパスが存在する場合は、遅延制約を満たさない度合が最大のパス、すなわちクリティカルパスがクリティカルパス抽出手段18によって抽出される。続いて、この抽出されたクリティカルパス上の各トランジスタについてそのサイズを微小量増加させた場合の上記パスの遅延改善率、すなわち上記パスの消費電力の変化量 ΔP に対する上記パスの信号遅延の改善量の割合が遅延改善率演算手段21によって求められる（ステップF38参照）。そして、遅延改善率が最大のトランジスタが選択手段23によって選択される。すると制御手段11によってこの選択されたトランジスタのサイズを微小量 ΔW 増加させ（ステップF38参照）、その後ステップF12に戻り再度、遅延計算手段14に信号遅延を計算させる。このとき上記抽出されたクリティカルパスの消費電力は微小量増加するが、信号遅延は改善されることになる。以後ステップF34、F36、F38、F32を繰り返す。そしてステップF34において、遅延制約を満たさないパスが存在しなくなった場合にサイジング処理を終了する。

【0047】以上説明したように本実施の形態によれば、まず最初に消費電力が最小になるようなトランジスタサイズの組合せを実現しておき、その後、消費電力の増加が最小になるようにトランジスタサイジングをして遅延制約条件を満足させるようにしているため、トランジスタのサイズは遅延制約を満足しかつ消費電力が最小限となる最適なサイズとなっている。これにより集積回路内の各トランジスタの駆動電圧及び各ノードのスイッチング確率（集積回路に入力するクロック信号の1周期に対してノード電圧遷移の起こる頻度）が全て等しいという仮定の下では消費電力も最小となる。

【0048】以上に述べたような方法で設計された集積回路は以下のような特徴を持つ。すなわち、入力端子と出力端子と能動素子を備えた集積回路であって、能動素子のいくつかは設計ルールで指定される最小サイズより大きく、最小サイズより大きな能動素子のいずれかのサ

イズを小さくすると、（1）1つの入力端子から複数の能動素子を順次通って1つの出力端子に至る経路を通過する信号遅延が指定された最大遅延レベルを超えてしまうか、あるいは（2）回路全体の消費電力が増大してしまうように構成されている。

【0049】なお、この第2の実施の形態のサイジング装置は電手力変化量 ΔP を求める式から分かるように各トランジスタの駆動電力およびスイッチング確率が異なる集積回路に用いることができることは言うまでもない。

【0050】上記実施の形態においては、MOSトランジスタについて説明したが、バイポーラトランジスタや、他の能動素子に用いても同様の効果を得ることができることは言うまでもない。

【図面の簡単な説明】

【図1】本発明による能動素子サイジング装置の第1の実施の形態の構成を示すブロック図。

【図2】第1の実施の形態の動作を説明するフローチャート。

【図3】信号遅延および消費電流を求める方式を説明する説明図。

【図4】本発明による能動素子サイジング装置の第2の実施の形態の構成を示すブロック図。

【図5】第2の実施の形態の動作を説明するフローチャート。

【図6】従来のトランジスタサイジング装置の動作を説明するフローチャート。

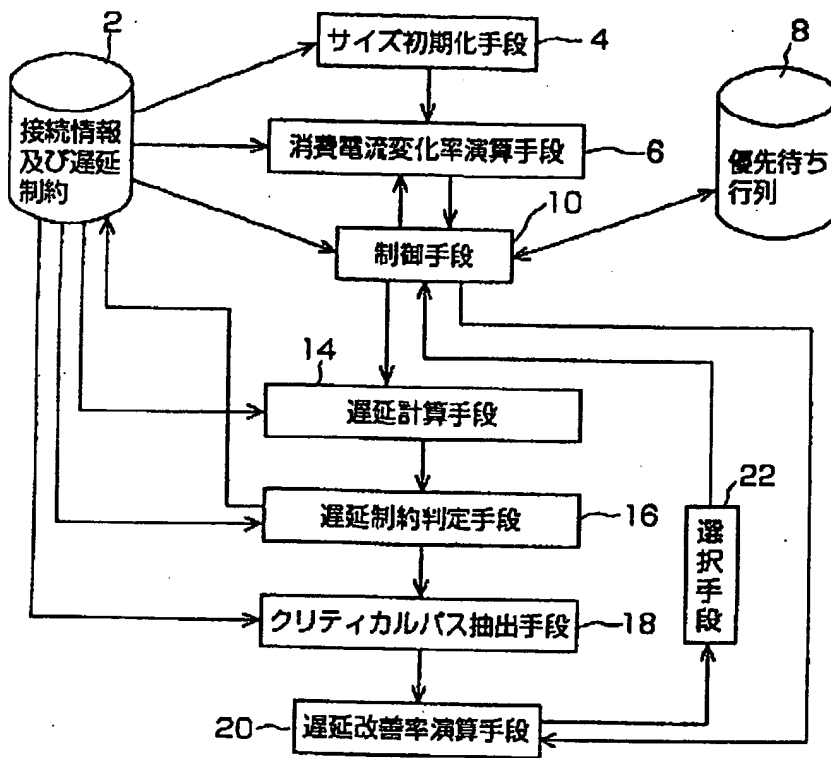
【図7】半導体集積回路の模式図。

【図8】入力信号のスリューレイトを説明するグラフ。

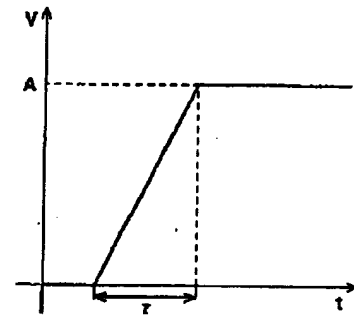
【符号の説明】

- 2 接続情報及び遅延制約記憶手段
- 4 サイズ初期化手段
- 6 消費電流変化率演算手段
- 7 消費電力変化率演算手段
- 8 優先待ち行列管理手段
- 9 優先待ち行列管理手段
- 10 制御手段
- 11 制御手段
- 14 遅延計算手段
- 16 遅延制約判定手段
- 18 クリティカルパス抽出手段
- 20 遅延改善率演算手段
- 21 遅延改善率演算手段
- 22 選択手段
- 23 選択手段

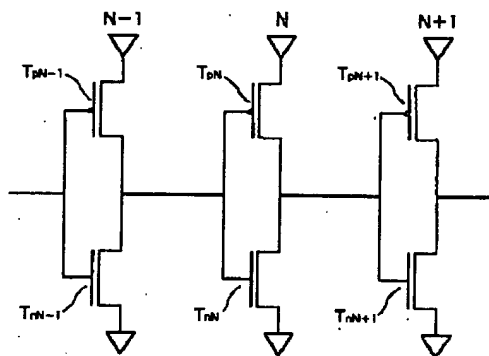
【図1】



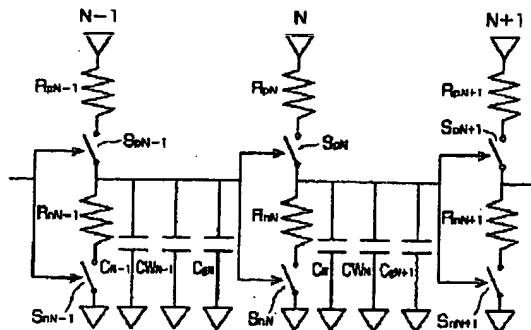
【図8】



【図3】

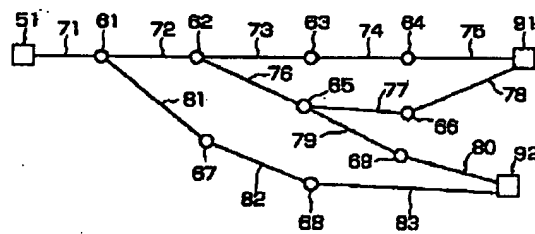


(B)

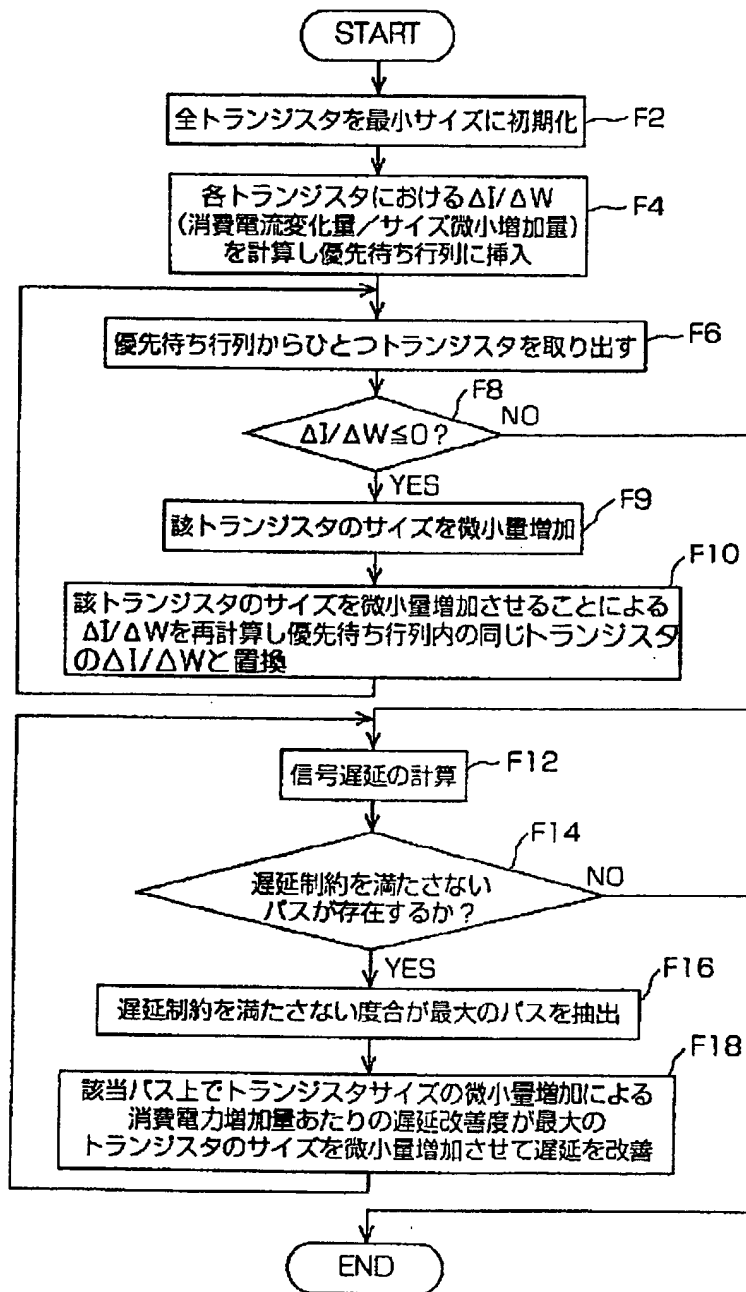


(b)

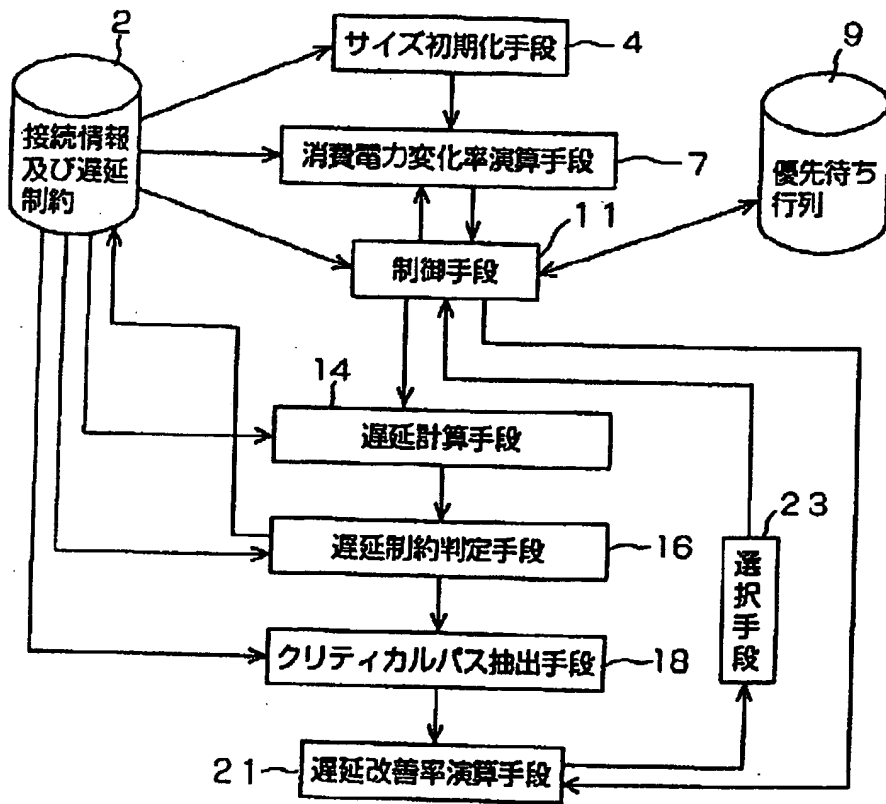
【図7】



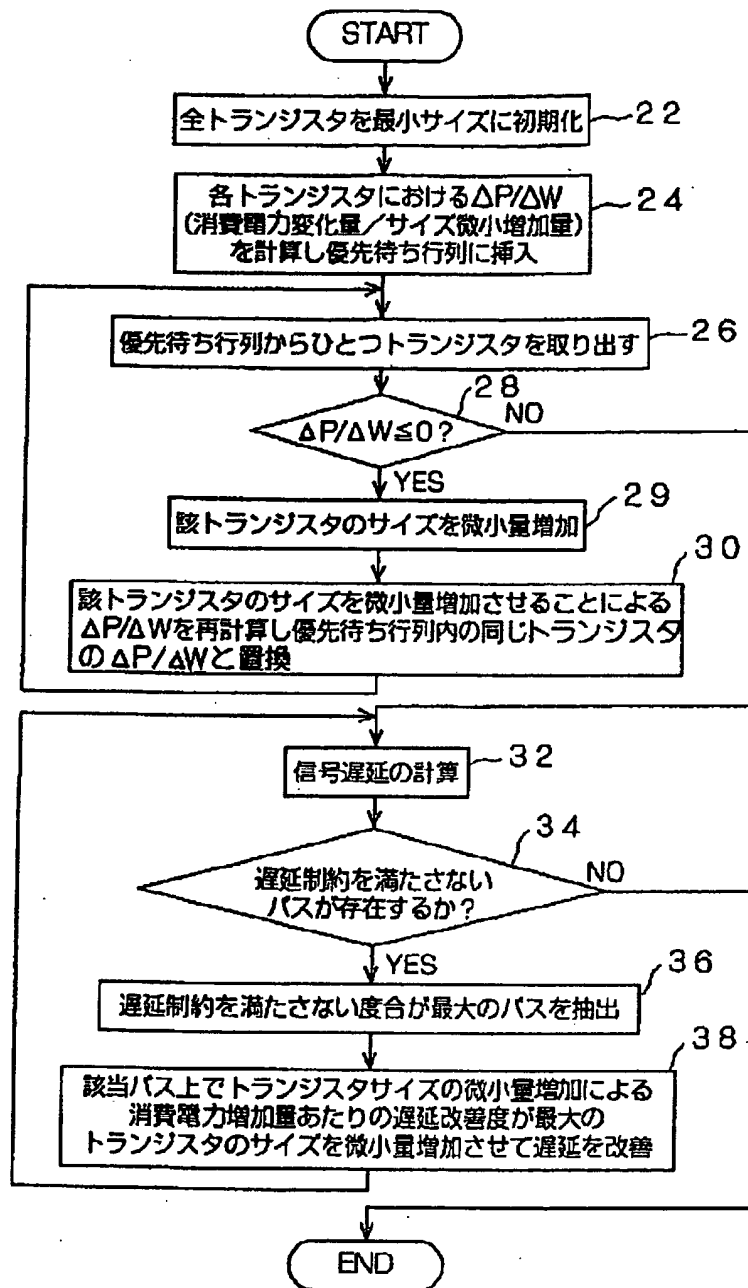
【図2】



【図4】



【図5】



【図6】

